


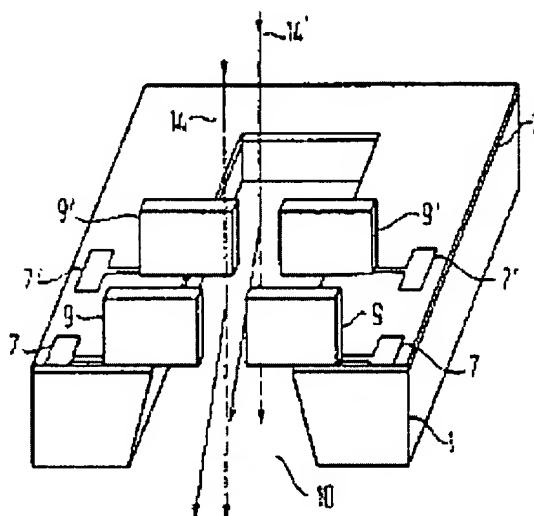


**MANUFACTURE OF CONTROL PLATE FOR LITHOGRAPHY APPARATUS****Publication number:** JP2037655**Publication date:** 1990-02-07**Inventor:** UORUFUGANGU BENEKE; UBE  
SHIYUNAAKENBERUKU; BURUKUHARUTO  
RISHIYUKE**Applicant:** SIEMENS AG**Classification:****- international:** *H01L21/027; H01J9/02; H01J37/147; H01J37/305;*  
*H01L21/02; H01J9/02; H01J37/147; H01J37/305;*  
(IPC1-7): H01J37/305; H01L21/027**- european:** H01J9/02; H01J37/147D2D**Application number:** JP19890137321 19890529**Priority number(s):** DE19883818535 19880531**Also published as:** EP0344513 (A2)  
 US4994336 (A1)  
 EP0344513 (A3)**Report a data error here****Abstract of JP2037655**

**PURPOSE:** To obtain a control plate having deflection elements of the number corresponding to the numbers of semiconductor layers and particle probes by making thickness of a photoresist layer to which the dimension and arrangements of deflection elements are transferred exceed the height of the deflection elements and filling a recessed part made in this layer up to a desired height of the deflection elements by electrodeposition. **CONSTITUTION:** A control plate is mainly constituted of a single crystal semiconductor substrate 1 provided with a window 10 for passing particle probes 14, 14' generated from a multiple radiation source and deflection elements 9 and 9' of the corresponding number. The deflection elements 9, 9' of the control plate are attached to each of particle probes 14, 14' and the deflection elements 9, 9' deflect the particle probes 14, 14' individually. To form deflection elements 9, 9' and bond pads 7, 7' and to connect them with a semiconductor substrate 1 coated with dielectric 2, a lithography method and electrodeposition forming technique are used and working is performed by control voltage because the heights of the deflection elements 9, 9' are several  $10\mu\text{m}$ . Thus, the control plate having the deflection elements of the number matching with the numbers of semiconductor layer and particle probes can be formed.



Data supplied from the esp@cenet database - Worldwide

## ⑫ 公開特許公報(A) 平2-37655

⑬ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)2月7日

H 01 J 37/305  
H 01 L 21/027

7013-5C

8831-5F H 01 L 21/30 3 4 1 B  
7376-5F 3 5 1

審査請求 未請求 請求項の数 4 (全5頁)

⑮ 発明の名称 リングラフィ装置用制御板の製造方法

⑯ 特 願 平1-137321

⑰ 出 願 平1(1989)5月29日

優先権主張 ⑱ 1988年5月31日 ⑲ 西ドイツ(DE) ⑳ P3818535.0

- ⑳ 発 明 者 ウォルフガング、ベネ ドイツ連邦共和国ベルリン30、ジギスムントシュトラッセ5
- ㉑ 発 明 者 ウベ、シュナーケンベルク ドイツ連邦共和国ベルリン21、ビルケンシュトラッセ10
- ㉒ 発 明 者 ブルクハルト、リシュケ ドイツ連邦共和国ミュンヘン82、インデアホイルス13
- ㉓ 出 願 人 シーメンス、アクチエンゲゼルシャフト ドイツ連邦共和国ベルリン及ミュンヘン(番地なし)
- ㉔ 代 理 人 弁理士 富村 潔

## 明 細 書

1. 発明の名称 リングラフィ装置用制御板の製造方法

2. 特許請求の範囲

- 1) 多数の粒子ブローブ(14、14')で付勢される制御板が、粒子ブローブ(14、14')を通すための切欠部(10)を備えた半導体層(2)及び粒子ブローブ(14、14')の数と一致する数の偏向素子(9、9')を有する形式のリングラフィ装置用の制御板を製造する方法において、

半導体基板(1)の表面に第1誘電層(2)

をまたその背面に第2誘電層(3)を設け、

金属層(4)を第1誘電層(2)上に折出させ、

第2誘電層(3)を半導体基板(1)に製造すべきスルーホール(10)の寸法に相応して構造化し、

製造すべき偏向素子(9、9')の寸法及び配置を金属層(4)上に施されたフォトレ

ジスト層(8)上にリングラフィで転写し、その際フォトレジスト層(8)の厚さが偏向素子(9)の高さを上回るようにし、

フォトレジスト層(8)中に作られた凹部を偏向素子(9)の所望の高さまで電着により満たし、

フォトレジスト層(8)を除去し、

半導体基板(1)の背面をエッチング処理することによりスルーホール(10)を形成し、

スルーホール(10)の範囲内の金属層(4)及び第1誘電層(2)をエッチング処理により除去する

ことを特徴とするリングラフィ装置用制御板の製造方法。

- 2) 多数の粒子ブローブ(14、14')で付勢される制御板が、粒子ブローブ(14、14')を通すための切欠部(10)を備えた半導体層(2)及び粒子ブローブ(14、14')の数と一致する数の偏向素子(9、9')

を有する形式のリソグラフィ装置用の制御板を製造する方法において、

半導体基板(1)の表面に第1誘電層(2)をまたその背面に第2誘電層(3)を設け、金属層(4)を第1誘電層(2)上に折出させ、

第2誘電層(3)を半導体基板(1)に製造すべきスルーホール(10)の寸法に相應して構造化し、

金属層を第1中間層(11)及び第2中間層(12)で覆い、その際第1中間層(11)の厚さが形成すべき偏向素子(9)の高さを上回るようにし、

製造すべき偏向素子(9)の寸法及び形状を第2中間層(12)上に施されたフォトレジスト層(5)上にリソグラフィにより転写し、

フォトレジスト層(5)の構造をエッチング処理により第1及び第2中間層(11、12)に転写し、

制御板が、粒子プローブを通すための切欠部を備えた半導体層(ダイアフラム)及び粒子プローブの数と一致する数の偏向素子を有する形式の、リソグラフィ装置用の制御板を製造する方法に関する。(従来の技術)

米国特許第4724328号明細書からリソグラフィ装置(電子ビーム記録器)は公知であり、その電子光学柱状体は多数の個々に偏向可能の電子プローブを得るための開口絞りを有する。欧州特許出願公開第191439号明細書に詳述されている開口絞りは主として列状の多穿孔構造を有するシリコンのダイアフラムからなり、その表面には偏向単位として作用する電極系が配置されている。

(発明が解決しようとする課題)

本発明の課題は、多数の粒子プローブで付勢される制御板が半導体層及び粒子プローブの数に相應する数の偏向素子を有する形式の、リソグラフィ装置用の制御板を製造する方法を提供することにある。

第1中間層(11)中に形成された凹部を、偏向素子(9)の高さまで電着により満たし、フォトレジスト層(5)及び中間層(11、12)を除去し、

スルーホール(10)を半導体基板の異方性エッチングによりウエハの背面に形成し、スルーホール(10)の範囲内の第1誘電層(2)と金属層(4)をエッチング処理により除去する

ことを特徴とするリソグラフィ装置用制御板の製造方法。

3) 半導体基板(1)がシリコンからなり、このシリコンが(1, 0, 0)配向を有することを特徴とする請求項1又は2記載の方法。

4) 半導体基板(1)がシリコンからなり、このシリコンが(1, 1, 0)配向を有することを特徴とする請求項1又は2記載の方法。

### 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、多数の粒子プローブで付勢される制

(課題を解決するための手段)

この課題は本発明によれば特許請求の範囲の請求項1及び2に記載した方法によって解決される。請求項3及び4は本発明方法の有利な実施態様を示すものである。

(発明の効果)

本発明により得ることのできる利点は特に、本発明方法により製造された偏向素子がマイクロエレクトロニクス分野で通常に用いられる制御電圧で付勢され得ることである。

(実施例)

次に本発明を図面に基づき詳述する。

第1図に略示した制御板は主として、多放射源から発せられる粒子プローブ14、14'を通すための窓10及び相應する数の偏向素子9、9'(これはボンド・パッド7、7'及び接続導体を介して、電子又はイオンビームリソグラフィ装置の制御信号発生エレクトロニクスに接続されている)を備えた単結晶半導体基板1からなる。多放射源としては特に、制御板の上方に配置されかつ

大表面の一次粒子ビームで付勢される、切欠部を有する絞りが考慮される。粒子ブロープ14、14'の各々には制御板の偏向素子9、9'が所属し、これによりその部度の粒子ブロープ14、14'を個別に偏向し、場合によっては帰線消去することができる(当該粒子ブロープを光線路内で制御板の下方に配置された絞りに偏向させる)。偏向素子9、9'及び場合によっては強化されたボンド・パッド7、7'を製造した誘電体2で被覆された半導体基板1に接続させるには、リソグラフィ法及び電着成形技術を使用することが好ましく、この場合リソグラフィは製造すべき構造体の寸法及び形状との関連においてUV又はシンクロトン光線で実施する。偏向素子9、9'の高さは、数10 $\mu\text{m}$ 、特に10~100 $\mu\text{m}$ であり、従ってマイクロエレクトロニクスでの通常の制御電圧で加工することができる。

第1図に示した制御板を製造する方法は本発明においては次の処理工程を含む(第2図参照)。

— 半導体基板1例えば(1, 0, 0)又は(1,

よりも大きい)(第2図g)、

— フォトレジスト層8への、偏向素子9の寸法及び形状のリソグラフィ転写(第2図h)、

— フォトレジスト層8に製造された凹部の、偏向素子9の所望の高さまでの電気めっきによる充填(第2図h)、

— フォトレジスト層8の除去(第2図i)、

— 基板スルーホール10を得るための、ウエハ背面での半導体基板1の湿式化学的異方性エッチング(第2図j)、

— スルーホール10の範囲内での誘電層2及び電気めっき出発層4のエッチング(第2図j)。

本発明の別の方法によれば、偏向素子9は三層技術を使用することによっても製造することができる。この処理は第3図に基づき説明する工程を含み、この場合には第2図fに示した構造体から出発する。

— レジスト又はプラスチック11(例えばポリイミド)でのウエハ表面の被覆(この厚さは、これが形成すべき偏向素子9の高さを上回るよ

うに構成する)(第3図a、b)、

— 第2中間層12、例えば窒化・アルミニウム又は珪素の塗布(第3図b)、

— 中間層12上に遠心塗布されたフォトレジスト層5への、偏向素子9の寸法及び形状のリソグラフィ転写(第3図b、c)、

— 中間層11及び12のエッチング(構造化)(第3図d)、

— 第1中間層11内に製造された凹部の、偏向素子9の所望の高さまでの電気めっきによる充填(第3図e)、

— フォトレジスト層5及び中間層11及び12の除去(第3図f)、

— スルーホール10を得るための、ウエハ背面での基板1の湿式化学的異方性エッチング(第3図g)、

— スルーホール10の範囲内での誘電層2及び電気めっき出発層4のエッチング(第3図g)。

4. 図面の簡単な説明

第1図は製造すべき制御板の略示図、第2図及

第3図は製造すべき制御板の略示図、第2図及

第3図は製造すべき制御板の略示図、第2図及

第3図は製造すべき制御板の略示図、第2図及

第3図は製造すべき制御板の略示図、第2図及

第3図は製造すべき制御板の略示図、第2図及

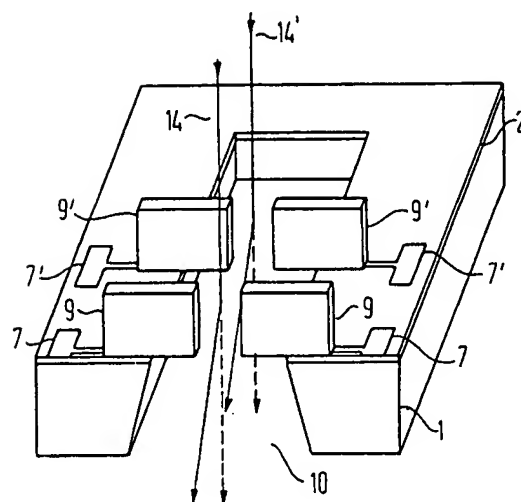
第3図は製造すべき制御板の略示図、第2図及

第3図は製造すべき制御板の略示図、第2図及

び第3図は制御板を製造するための処理工程図である。

- 1 … 半導体基板
- 2、3 … 誘電層
- 4 … 金属層
- 5、6 … フォトリソスト層
- 7、7' … ボンド・パッド
- 8 … フォトリソスト層
- 9、9' … 偏向素子
- 10 … スルーホール
- 11、12 … 中間層
- 14、14' … 粒子ブローブ

FIG 1



(6118) 代理人 井澤士 高村

FIG 2

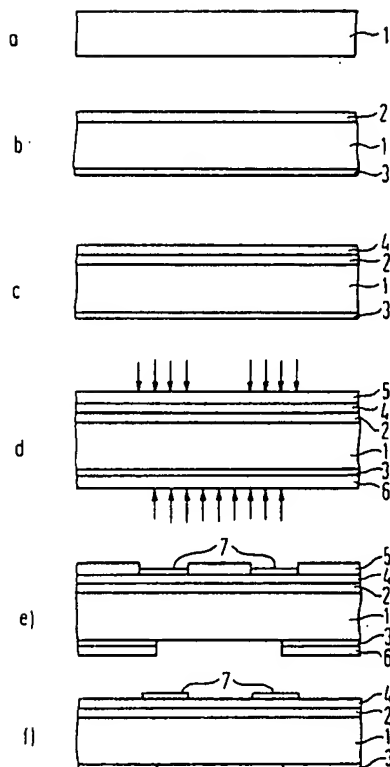


FIG 2

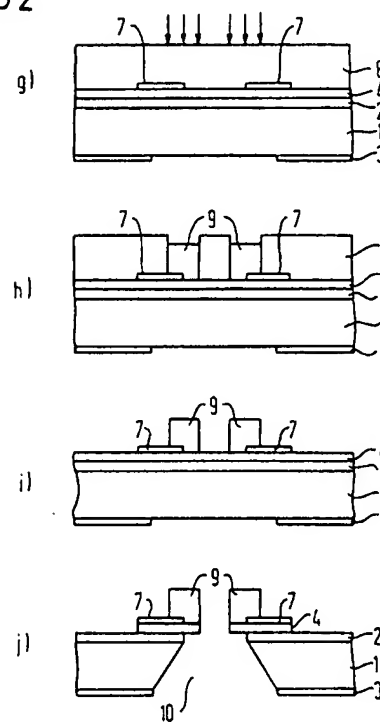


FIG 3

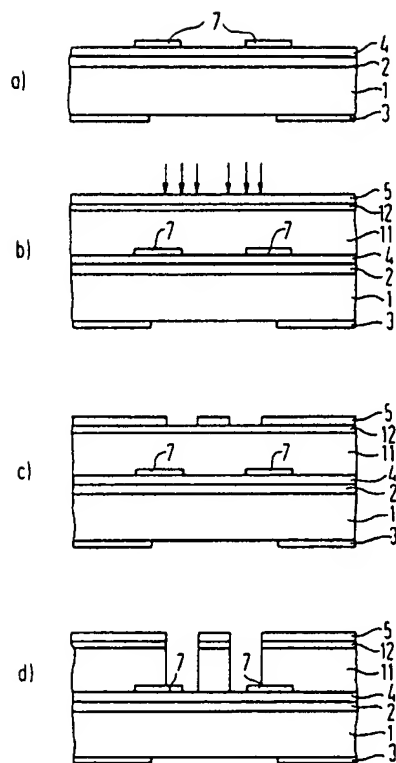


FIG 3

